

Atty. Dkt. No. 016778-0440

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Michihiro OHSUGE
Title: MULTI-PATH DETECTION
CIRCUIT AND METHOD FOR A
CDMA RECEIVER
Appl. No.: 09/991,876
Filing Date: 11/26/2001
Examiner: Unassigned
Art Unit: 2661

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 2000-359055
filed 11/27/2000.

Respectfully submitted,

Date. February 6, 2002

FOLEY & LARDNER
Customer Number: 22428



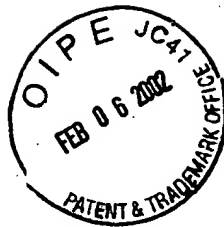
22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Thomas D. Blumenthal Reg. No. 26,257

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257



日本国特許庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年11月27日

出願番号
Application Number:

特願2000-359055

出願人
Applicant(s):

日本電気株式会社

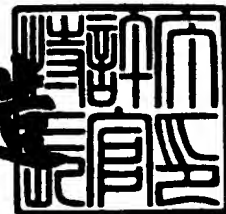
CERTIFIED COPY OF
PRIORITY DOCUMENT

PRIORITY COPY OF
PRIORITY DOCUMENT

2001年 9月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3082105

【書類名】 特許願

【整理番号】 53209494

【提出日】 平成12年11月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04J 13/02

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 大菅 道広

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100071272

 【弁理士】

 【氏名又は名称】 後藤 洋介

【選任した代理人】

 【識別番号】 100077838

 【弁理士】

 【氏名又は名称】 池田 憲保

【手数料の表示】

 【予納台帳番号】 012416

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001569

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 C D M A 受信機のマルチパス検出方法および回路

【特許請求の範囲】

【請求項 1】 伝播路の遅延プロファイルを測定し、マルチパスのタイミングを検出する、C D M A 受信機のマルチパス検出方法において、

前記測定した遅延プロファイルを表す遅延プロファイルデータを複数のメモリブロックに分割して複数のデータブロックとして記憶するステップと、

前記遅延プロファイルデータに対して各データブロック毎に最大値を検索するステップと、

前記各データブロック毎に検索結果であるピーク情報を保持するステップとを含むことを特徴とする、C D M A 受信機のマルチパス検出方法。

【請求項 2】 第 2 位以降のピーク検出時に、検出済みピーク近郊をマスクして前記遅延プロファイルデータを更新し、該更新した遅延プロファイルデータに対して前記検出済みピークを含んでいた特定のデータブロックのみの最大値検索を再実行するステップを更に含むことを特徴とする、請求項 1 に記載の C D M A 受信機のマルチパス検出方法。

【請求項 3】 前記検出済みピークを含む特定のデータブロックの中心より右側か左側にピークがあるかを判定するステップと、

該判定結果に基づき、右または左の隣接データブロックの再検索を実行するステップと

を更に含むことを特徴とする、請求項 2 に記載の C D M A 受信機のマルチパス検出方法。

【請求項 4】 ピーク検出毎に、予め設定された基準相関値レベルとの比較を行い、このレベルに満たないピークが検出された時点で、検出処理を停止するステップを更に含むことを特徴とする、請求項 3 に記載の C D M A 受信機のマルチパス検出方法。

【請求項 5】 伝播路の遅延プロファイルを測定し、マルチパスのタイミングを検出する、C D M A 受信機のマルチパス検出回路において、

前記測定した遅延プロファイルを表す遅延プロファイルデータを複数のデータ

ブロックに分割する手段と、

前記複数のデータブロックをそれぞれ対応する複数のメモリブロックに記憶する手段と、

前記遅延プロファイルデータに対して各データブロック毎に最大値を検索する手段と、

前記各データブロック毎に検索結果であるピーク情報を保持する手段とを有することを特徴とする、CDMA受信機のマルチパス検出回路。

【請求項6】 第2位以降のピーク検出時に、検出済みピーク近郊をマスクして前記遅延プロファイルデータを更新する手段と、

該更新した遅延プロファイルデータに対して前記検出済みピークを含んでいた特定のデータブロックのみの最大値検索を再実行する手段とを更に有することを特徴とする、請求項5に記載のCDMA受信機のマルチパス検出回路。

【請求項7】 前記検出済みピークを含んでいた特定のデータブロックの中心より右側か左側にピークがあるかを判定する手段と、

該判定結果に基づき、右または左の隣接データブロックの再検索を実行する手段と

を更に有することを特徴とする、請求項6に記載のCDMA受信機のマルチパス検出回路。

【請求項8】 ピーク検出毎に、予め設定された基準相関値レベルとの比較を行い、このレベルに満たないピークが検出された時点で、検出処理を停止する手段を更に有することを特徴とする、請求項7に記載のCDMA受信機のマルチパス検出回路。

【請求項9】 拡散コードと受信信号との相関値を求めて、伝送路の遅延プロファイルデータを測定するマッチトフィルタと、

該測定された遅延プロファイルデータを複数のデータブロックに分割する第1のメモリ選択部と、

前記複数のデータブロックをそれぞれ対応して記憶する複数のメモリブロックを有する遅延プロファイルメモリと、

該遅延プロファイルメモリから前記遅延プロファイルデータを前記各データブロック毎に選択して出力する第2のメモリ選択部と、

該第2のメモリ選択部で選択されたデータブロックの最大値及び最大位置をサーチして、サーチ結果を出力する第1の最大値検索部と、

該サーチ結果を保存するピーク保存部と、

該ピーク保存部に保存された各データブロック毎のピークから更に最大値を検出し、検出結果を出力する第2の最大値検索部と、

該検出結果に基づいてパスタイミングを生成するパスタイミング生成部とを有することを特徴とする、CDMA受信機のマルチパス検出回路。

【請求項10】 前記第2の最大値検索部によりピークが検出されたときに、前記遅延プロファイルメモリ内のデータをクリアすることにより、ピーク位置およびその近傍のデータを除去する検出済ピークマスク部を更に有する、ことを特徴とする請求項9に記載のCDMA受信機のマルチパス検出回路。

【請求項11】 第1のピークを検出する際には、前記第1の最大値検索部に対し前記遅延プロファイルメモリに記憶されている全ブロックデータの最大値検索を実行させ、第2位以降のピークを検出する際には、前記検出済ピークマスク部により前記遅延プロファイルデータが更新されたブロックデータのみ前記第1の最大値検索部に最大値検索を再度行わせる制御部を有する、ことを特徴とする請求項10に記載のCDMA受信機のマルチパス検出回路。

【請求項12】 受信信号を周波数変換して、周波数変換した信号を出力する無線部と、前記周波数変換した信号をデジタル信号へ変換するA/D変換部と、前記デジタル信号から伝搬路の遅延プロファイルを測定してマルチパスのタイミングを検出するマルチパス検出回路と、前記マルチパスのタイミングで前記デジタル信号を受信して、受信データを出力するRAKEフィンガー部と、前記受信データを合成するRAKE合成部とを有するCDMA受信機に於いて、前記マルチパス検出回路は、

前記測定した遅延プロファイルを表す遅延プロファイルデータを複数のデータブロックに分割する手段と、

前記複数のデータブロックをそれぞれ対応する複数のメモリブロックに記憶す

る手段と、

前記遅延プロファイルデータに対して各データブロック毎に最大値を検索する手段と、

前記各データブロック毎に検索結果であるピーク情報を保持する手段とを有することを特徴とする、CDMA受信機。

【請求項 1 3】 前記マルチパス検出回路は、

第 2 位以降のピーク検出時に、検出済みピーク近郊をマスクして前記遅延プロファイルデータを更新する手段と、

該更新した遅延プロファイルデータに対して前記検出済みピークを含んでいた特定のデータブロックのみの最大値検索を再実行する手段とを更に有することを特徴とする、請求項 1 2 に記載の CDMA 受信機。

【請求項 1 4】 前記マルチパス検出回路は、

前記検出済みピークを含んでいた特定のデータブロックの中心より右側か左側にピークがあるかを判定する手段と、

該判定結果に基づき、右または左の隣接データブロックの再検索を実行する手段と

を更に有することを特徴とする、請求項 1 3 に記載の CDMA 受信機。

【請求項 1 5】 前記マルチパス検出回路は、ピーク検出毎に、予め設定された基準相関値レベルとの比較を行い、このレベルに満たないピークが検出された時点で、検出処理を停止する手段を更に有することを特徴とする、請求項 1 4 に記載の CDMA 受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CDMA (code division multiple access) 受信機に関し、特に、CDMA 受信機のマルチパス検出方法および回路に関する。

【0002】

【従来の技術】

セルラ移動通信方式として、多種類の多元接続方式が従来から提案されており

、世界において採用されている。その中で、最近の傾向はセルラ移動符号分割多元接続（CDMA）方式に向けられており、それは各チャンネルに割当てられた特定の拡散符号を持ち、単に、CDMA方式と呼ばれる。そのようなCDMA方式において、各特定の拡散符号によって拡散された同一の搬送波周波数の変調波は、送信側（送信局）から受信側（受信局）へ無線信号として送信される。この無線信号に応答して、受信側のCDMA受信機は、各特定の拡散符号によって同期動作を行い、所望のチャンネルを識別する。互いにチャンネルを区別するために、異なった拡散符号が基地局と移動局との間の無線チャンネルを識別するために使用される。換言すれば、CDMA方式を用いた移動通信システムは、複数の局（基地局および移動局）が同一の搬送周波数帯を用いて通信を行う方式であり、各局の識別は拡散符号で行われる。

【 0 0 0 3 】

また、無線信号はCDMA方式において複数の経路、すなわち、多重経路を通して受信され、したがって、CDMA方式においては、同期信号及び／又はパイロット信号のような、所定の信号を正確に検出することによって、無線信号から多重経路フェージングを除去しなければならない。換言すると、このようなCDMA方式を用いた移動通信システムでは、送信局から送信された信号は、複数の建物、山等で反射され、伝播時間が微妙に異なる複数の伝播経路を経由して、受信局において受信信号として受信される。このような複数の伝播経路を経由して受信される受信信号は、マルチパス信号と呼ばれる。したがって、受信局では、マルチパス信号の各々のタイミングに合わせて受信信号を受信しなければならない。

【 0 0 0 4 】

従来のCDMA信号受信装置およびマルチパスサーチ方法の一例が、特開平9-181704号号公報（以下、「第1の先行技術文献」と呼ぶ。）に記載されている。この第1の先行技術文献に開示されたCDMA信号受信装置は、通信環境によるマルチパス検出手段と、複数のパスを同相合成（RAKE合成）する手段とから構成されている。マルチパス検出手段は、マルチパス・サーチ部或いは単にサーチャーとも呼ばれ、複数のパスを同相合成（RAKE合成）する手段は

、 R A K E 合成受信部或いは R A K E 受信機とも呼ばれる。

【 0 0 0 5 】

このような構成を有する従来の C D M A 信号受信装置は、次のように動作する。すなわち、マルチパス・サーチ部により遅延プロファイルを測定し、測定範囲内で信号電力が大きいパスをいくつか選択し、 R A K E 合成受信部にそのパスのタイミング情報を通知する。ここで、「遅延プロファイル」とは、遅延時間に対する信号電力分布のことをいう。 R A K E 合成受信部ではそのタイミング情報を元に、各パスごとに逆拡散を行い、 R A K E 合成をすることにより、パスダイバーシティ効果を得ている。

【 0 0 0 6 】

また R A K E 合成受信部では、別途指定されたパスの動きに対して追従する手段を有する場合がある。このような手段はパストラッキング手段と呼ばれる。このような場合には、マルチパス・サーチ部が、少なくとも初期または一定周期ごとに、パス情報を R A K E 合成受信部に知らせる必要がある。

【 0 0 0 7 】

尚、本発明に関連する他の先行技術も種々知られている。例えば、特開 2 0 0 0 - 4 2 1 1 号公報（以下、「第 2 の先行技術文献」と呼ぶ。）には、少ない処理数で同期保持することが出来る「 R A K E 受信回路」が開示されている。この先行技術文献 2 に開示された R A K E 受信回路では、同期捕捉や、 D L L による同期保持では追従することができない各マルチパス成分の遅延時間の変化が使用環境によって生じて、各フィンガ受信回路が複数の逆拡散器を有し、これらのうちの何れかが瞬時の遅延時間に合致したタイミングでマルチパス成分を受信することができ、選択器が遅延時間に合致したタイミングでマルチパス成分を受信した逆拡散器の出力を選択する。この結果、各フィンガ受信回路は良好にマルチパス成分を受信することができ、 R A K E 合成器の出力においては、良好な希望波を受信することができる。

【 0 0 0 8 】

また、特開 2 0 0 0 - 2 4 4 4 5 6 号公報（以下、「第 3 の先行技術文献」と呼ぶ。）には、 D S - C D M A 復調器がパスを検出する際に、遅延時間が長い遅

延波のパスについても検出することができる「パス検出装置とその制御方法」が開示されている。この先行技術文献3に開示されたパス検出装置では、サンプリングされた受信信号がマッチドフィルタに入力されると、この受信信号はサンプル毎にマッチドフィルタ内のシフトレジスタに入力される。このシフトレジスタに入力された信号を、スイッチを介してレジスタに格納された拡散符号レプリカとそれぞれ乗算し、その乗算結果を加算器で加算して相関値を算出し、算出した相関値をマッチドフィルタから出力している。

【0009】

更に、特開2000-252867号公報（以下、「第4の先行技術文献」と呼ぶ。）には、マルチパスのサーチに要する時間を短縮して拡散符号同期の高速化を図ることができる「スペクトラム拡散通信装置」が開示されている。すなわち、この第4の先行技術文献に開示されたスペクトラム拡散通信装置では、コード発生タイミング制御回路により、RAKE受信を行うための複数の相関器において受信中の最大パスの逆拡散処理のために生成している拡散符号の生成タイミング情報をもとに、マルチパス信号が受信される確率の高い時間領域を推定する。そして、この時間領域をサーチャーとして機能を有する相関器に受信させるべくその拡散符号レプリカの生成タイミングを制御するようにしている。

【0010】

更に、特開平10-271557号公報（以下、「第5の先行技術文献」と呼ぶ。）には、遅延プロファイルの推定、パス検出等のトレーニングの時間が不足しないようにするとともに、送信する制御情報などの情報量に制限が生じないようにしたランダムアクセス方式を可能にする「ランダムアクセス信号受信回路」が開示されている。すなわち、第5の先行技術文献に開示されたランダムアクセス信号受信回路において、パス抽出部は、遅延プロファイルタイミング検出部から供給されるパス出現タイミングに基づいてマッチドフィルタ部から出力される逆拡散信号をラッチし、各パス毎に対応させて各パスの伝送シンボルを出力する。各パスの伝送シンボルを各検波部で検波し、各データ判定部で2値データへ変換する。各ランダムアクセス判定部は、2値データとランダムアクセス開始同期語との相関を検出すると2値データを制御情報として通過させる。各ランダムア

クセス判定部は、2 値データとランダムアクセス終了同期語との相関を検出すると制御情報の出力を停止する。

【0 0 1 1】

更にまた、特許第 2 7 6 5 5 7 4 号公報(以下、「第 6 の先行技術文献」と呼ぶ。)には、広帯域 CDMA 方式を採用した移動通信システムにおいて、低い E_b/N_0 環境で、マルチパス受信タイミング、特に同期追尾(トラッキング)を確実に行うことができるようにして、広帯域 CDMA 受信機の受信品質を向上し、高速データ伝送を可能とする「CDMA チップ同期回路」が開示されている。この第 6 の先行技術文献に開示された CDMA チップ同期回路では、サーチ手段で検出した受信タイミングを基準として、たとえば $1/4$ チップ間隔でずらせたタイミングで同時に相関計算(逆拡散)を行い、逆拡散後の受信品質の最も良いタイミングの信号を選択している。これにより、受信タイミングが不連続的に変化する場合でも確実な受信が可能となる。また、DLL と異なって、複数のパスが完全に分離されずに重なって受信されるような伝播環境でも確実に受信レベルがピークとなるタイミングを捕捉することが可能となる。

【0 0 1 2】

【発明が解決しようとする課題】

しかしながら、上述した第 1 の先行技術文献には、次に述べるような 2 つの課題がある。

【0 0 1 3】

第 1 の課題は次の通りである。測定した遅延プロファイルからいくつかのマルチパスを探し出すためには、探し出すパスの数の分だけ最大値検索をするか、または全プロファイルデータのソート処理をする必要がある。そのため、マルチパスの探索に処理時間がかかり、CDMA 受信機において消費電流が増えるという問題がある。また、遅延プロファイルから必要な数の相関ピークを探し出す最適な手段が必要となる。その理由は、遅延プロファイルは一般にデータ数が多く、全てのデータから複数のピークを探し出すためには、処理に時間がかかるためである。

【0 0 1 4】

第2の課題は次の通りである。遅延プロファイル上に現れる相関ピークの形状は、図3に示すような幅をもっている。このため、従来から知られている2分木探索等のソートアルゴリズムでは、1つのピークに含まれるデータを何度も検出してしまうという問題がある。よって、一般的な高速ソートアルゴリズムでは、必ずしも上記第1の課題を解決することが出来ない。このような場合、従来においては、検出したパスの前後 t サンプルを次のピーク検出から除外することによって、各フィンガー位置の最小間隔を設定する方法が用いられている（例えば、Aoyama et.al, "Path-Search Performance of DS-WCDMA System in Laboratory and Field Experiments" Technical Report of IEICE, RCS97-164(1997-11)）。しかしながら、この方法を使用する場合、例えば、最大値検索、ピーク前後 t サンプルの除外という処理を検出ピーク数分繰り返す必要がある。そのため、従来のマルチパス検出回路では、検出ピーク数に比例して処理時間が増大するという欠点がある。

【0015】

したがって、本発明の目的は、上記問題を解決し、マルチパス検出を高速に処理できる、CDMA受信機のマルチパス検出回路を提供することにある。

【0016】

本発明の他の目的は、複数のパス位置を高速に検出することができる、CDMA受信機のマルチパス検出回路を提供することにある。

【0017】

尚、第2の先行技術文献は、各フィンガー受信器が、遅延回路により遅延された拡散符号を互いに異なった時間だけずらせた拡散符号により受信信号を復調する複数の逆拡散回路と、これら複数の逆拡散回路からの出力のうち受信品質の良い出力を選択回路とを備えるようにした技術的思想を開示しているに過ぎず、本発明が対象としているマルチパス検出回路の具体的構成については何ら開示していない。

【0018】

また、第3の先行技術文献は、遅延時間が長い遅延波のパスをも検出するために、マッチドフィルタが複数の遅延プロファイルを作成するように構成した技術

的思想を開示しているに過ぎず、マルチパス検出を高速に処理することを目的としている、本発明とは全く目的が相違している。

【 0 0 1 9 】

さらに、第4の先行技術文献は、マルチパスのサーチに要する時間を短縮することを目的としている点で、本発明とは目的が類似している。しかしながら、第4の先行技術文献は、逆拡散処理のために生成している拡散符号の生成タイミング情報をもとにマルチパス信号が受信される確率の高い時間領域を推定し、この推定結果に基づいてサーチ手段（サーチャー）における拡散符号レプリカの生成タイミングを制御する技術的思想を開示しており、後述するように、解決するための手段が本発明とは異なる。

【 0 0 2 0 】

また、第5の先行技術文献は、各パス毎に独立に複数の移動局からのランダムアクセス信号を受信するようにした技術的思想を開示しているだけであって、マルチパス検出を高速に処理することを目的とする、本発明とは全く技術的思想が異なるものであることは明らかである。

【 0 0 2 1 】

さらに、第6の先行技術文献は、サーチ手段で検出した受信タイミングを基準として1チップ周期より短い一定の遅延間隔でずらせたタイミングで同時に相関計算（逆拡散）を行い、逆拡散後の受信品質の最も良いタイミングの信号を後で選択するようにした技術的思想を開示しているに過ぎず、本発明が対象としているマルチパス検出回路、すなわち、サーチ手段（サーチャー）の具体的構成については何ら開示していない。

【 0 0 2 2 】

【課題を解決するための手段】

本発明は、上記の目的を達成するために次のような技術的構成を採用する。

【 0 0 2 3 】

すなわち、本発明によれば、伝播路の遅延プロファイルを測定し、マルチパスのタイミングを検出する、CDMA受信機のマルチパス検出回路において、測定した遅延プロファイルを表す遅延プロファイルデータを複数のデータブロックに

分割する手段と、複数のデータブロックをそれぞれ対応する複数のメモリブロックに記憶する手段と、遅延プロファイルデータに対して各データブロック毎に最大値を検索する手段と、各データブロック毎に検索結果であるピーク情報を保持する手段とを有することを特徴とする、CDMA受信機のマルチパス検出回路が得られる。

【0024】

換言すると、本発明によるCDMA受信機のマルチパス検出回路は、マッチトフィルタ等で得られた遅延プロファイルデータを複数のメモリブロックに分割したメモリに保存する手段と、各ブロック毎の第1の最大値検索手段および、全ブロックでの第2の最大値検索手段の2段階のサーチ手段を用いることにより、複数パスの検出ステップ数を削減できることを特徴としている。

【0025】

もう少し具体的に述べると、本発明によるマルチパス検出回路は、拡散コードと受信信号との相関値を求めるマッチトフィルタを有し、これにより測定された伝送路の遅延プロファイルデータは第1のメモリ選択部により、複数のデータブロックに分割され、遅延プロファイルメモリの各メモリブロックに出力（記憶）される。第2のメモリ選択部は制御部の制御信号を受け、遅延プロファイルデータをデータブロック毎に第1の最大値検索部へ出力する。第1の最大値検索部は選択されたデータブロックの最大値及び、最大位置をサーチし、そのサーチ結果をピーク保存部へ出力する。第2の最大値検索部はピーク保存部に保存された各データブロック毎のピークから更に最大値を検出し、パスタイミング生成部へ出力する。第2の最大値検索部でピークが検出されると、検出済ピークマスク部が遅延プロファイルメモリ内のデータをクリアすることにより、ピーク位置および、その近傍のデータを除去する。入力データ選択部は受信データ入力または検出済みピークを除去するためのマスクデータ入力を選択する手段である。

【0026】

【作用】

第1のピークを検出する際には遅延プロファイルデータの全データブロックの最大値検索を実行するが、第2位以降のピークを検出する際には、遅延プロファ

イルデータが更新されたデータブロックのみ最大値検索を再度行い、メモリブロック内の最大値情報を更新することが出来る。それ以外のデータブロック（メモリブロック）は一回目で検索した最大値情報を使用するため、第2位以降のピーク検出サイクル数は大幅に削減することが出来る。

【 0 0 2 7 】

従って、例えば、全データからの最大値検索を所要回数繰り返して行なう従来例に比べて、短時間でマルチパスをサーチすることができ、消費電流を減らすことが可能となる。

【 0 0 2 8 】

【発明の実施の形態】

図2を参照して、本発明の第1の実施の形態によるマルチパス検出回路を含むCDMA受信機について説明する。

【 0 0 2 9 】

図示のCDMA受信機は、アンテナ部100、無線部（高周波受信回路部）200、A/D変換部300、RAKEフィンガー部400、RAKE合成部500、および本発明に係るマルチパス検出回路600を有する。

【 0 0 3 0 】

無線により送信されたデータは、アンテナ100で受信信号として受信され、高周波受信回路（無線部）200により周波数変換（ダウンコンバート）され、A/D変換部300によりアナログ信号からデジタル信号へ変換される。A/D変換部300から出力されるデジタル信号は、マルチパス検出回路600に供給される。マルチパス検出回路600は、後述するように、デジタル信号から伝搬路の遅延プロファイルを測定し、マルチパスのタイミングを検出する。マルチパス検出回路600から出力されるタイミング信号は、RAKEフィンガー部400の受信タイミング入力として使用される。RAKEフィンガー部400は、デジタル信号をタイミング信号で受信する。RAKEフィンガー部400は、第1乃至第IのRAKEフィンガー400-1～400-Iから成る。このRAKEフィンガー部400において各タイミングで受信したデータは、RAKE合成部500で合成される。

【 0 0 3 1 】

次に図 1 を参照して、図 2 に示した本発明の第 1 の実施の形態に係るマルチパス検出回路 6 0 0 について説明する。

【 0 0 3 2 】

マルチパス検出回路 6 0 0 は、マッチトフィルタ 6 0 2 と、入力データ選択部 6 0 4 と、第 1 のメモリ選択部 6 0 6 と、遅延プロファイルメモリ 6 0 8 と、第 2 のメモリ選択部 6 1 0 と、第 1 の最大値検出部 6 1 2 と、ピーク保存部 6 1 4 と、第 2 の最大値検出部 6 1 6 と、パスタイミング生成部 6 1 8 と、検出済ピークマスク部 6 2 0 と、制御部 6 2 2 とを有する。遅延プロファイルメモリ 6 0 8 は、第 1 乃至第 N のメモリブロックから構成されている。

【 0 0 3 3 】

制御部 6 2 2 は、後述するように、入力データ選択部 6 0 4 、第 1 のメモリ選択部 6 0 6 、第 2 のメモリ選択部 6 1 0 、第 1 の最大値検出部 6 1 2 、第 2 の最大値検出部 6 1 6 、パスタイミング生成部 6 1 8 、および検出済ピークマスク部 6 2 0 を制御する。換言すれば、制御部 6 2 2 は、入力データ選択部 6 0 4 、第 1 のメモリ選択部 6 0 6 、第 2 のメモリ選択部 6 1 0 、第 1 の最大値検出部 6 1 2 、第 2 の最大値検出部 6 1 6 、パスタイミング生成部 6 1 8 、および検出済ピークマスク部 6 2 0 へ、それぞれ、入力データ選択制御信号、第 1 のメモリ選択制御信号、第 2 のメモリ選択制御信号、第 1 の最大値検出制御信号、第 2 の最大値検出制御信号、パスタイミング制御信号、およびピークマスク制御信号を供給する。

【 0 0 3 4 】

マッチトフィルタ 6 0 2 は、A/D変換部 3 0 0 から受信データを受けて、拡散コードと受信信号との相関値を計算し出力する。換言すれば、マッチトフィルタ 6 0 2 は、伝送路の遅延プロファイルデータを測定する。この測定された伝送路の遅延プロファイルデータは、入力データ選択部 6 0 4 を介して第 1 のメモリ選択部 6 0 6 により、第 1 乃至第 N のデータブロックに分割され、遅延プロファイルメモリ 6 0 8 に各データブロック毎に記憶される。すなわち、遅延プロファイルメモリ 6 0 8 は、前述したように、第 1 乃至第 N のメモリブロックに分割さ

れており、第1乃至第Nのメモリブロックにそれぞれ第1乃至第Nのデータブロックが記憶される。

【0035】

第2のメモリ選択部610は、制御部622の第2のメモリ選択制御信号を受け、遅延プロファイルメモリ608に記憶されている遅延プロファイルデータをデータブロック毎に第1の最大値検索部612へ出力する。第1の最大値検索部612は選択されたデータブロックの最大値及び、最大位置をサーチし、そのサーチ結果をピーク保存部614へ出力する。第2の最大値検索部616はピーク保存部514に保存された各データブロック毎のピークから更に最大値を検出し、その検出結果をパスタイミング生成部618へ出力する。

【0036】

第2の最大値検索部616でピークが検出されると、検出済ピークマスク部620が遅延プロファイルメモリ608内の所定のデータ要素をクリアすることにより、ピーク位置および、その近傍のデータを除去する。入力データ選択部604は、入力データ選択制御信号に応答して、受信データ入力または検出済みピークを除去するためのマスクデータ入力を選択する手段である。第1のピークを検出する際には、制御部622は、第1の最大値検索部612に対して、遅延プロファイルメモリ608に記憶されている遅延プロファイルデータの全データブロックの最大値検索を実行させるように制御する。第2位以降のピークを検出する際には、制御部622は、検出済ピークマスク部620により遅延プロファイルデータが更新されたデータブロックのみ最大値検索を行い、メモリブロック内の最大値情報を更新することが出来る。それ以外のメモリブロックは一回目で検索した最大値情報を使用するため、第2位以降のピーク検出サイクル数は大幅に削減することが出来る。

【0037】

なお、図1のマッチトフィルタ602は遅延プロファイルを測定する手段として、当業者にとってよく知られているため、その詳細な構成は省略する。また、この部分はスライディング相関器を用いてもよい。図2のRAKEフィンガー部400およびRAKE合成部500についても、当業者にとってよく知られてお

り、また本発明とは直接関係しないので、その詳細な構成は省略する。

【0038】

次に、図3および図4を参照して、マルチパス検出回路600が第1位のピークを検出する場合の動作について説明する。図3は、図1の遅延プロファイルメモリ608に保存される遅延プロファイルデータから最大値を検索するイメージを示している。全遅延プロファイルデータは、N個のデータブロックに分割されて、それぞれ、N個のメモリブロックに保存されている。図4は、マルチパス検出回路600が第1位のピークを検出する場合の動作を説明するためのフローチャートである。

【0039】

ここで、遅延プロファイルメモリ608を構成する第1乃至第Nのメモリブロックには、それぞれ、0～(N-1)のブロック番号が割り当てられているとする。

【0040】

初めに、制御部622は、分割されたメモリブロックのブロック番号をカウントするブロック番号カウンタ（図示せず）のカウント値nを0にリセットする（ステップS101）。次に、制御部622は、第1の最大値検索部612に対してn番目の第(n+1)のメモリブロック内のデータブロックの最大値検索を行わせ、ピーク保存部614へ検出した最大値及びピーク位置を保存させる（ステップS102）。引続いて、制御部622は、ブロック番号カウンタのカウント値nを(n+1)にカウントアップする（ステップS103）。ブロック番号カウンタのカウント値nが全メモリブロック数N以上になるまで、制御部622は、第1の最大値検索部612に対して各データブロックの最大値検索を繰り返させる（ステップS104）。この時点で、ピーク保存部614内には全てのデータブロックの最大値情報が書き込まれている。更に、制御部622は、第2の最大値検索部616に対してピーク保存部614内の最大ピークを検索させ（ステップS105）、パスタイミング生成部618に、最終的に検出された最大ピーク位置（受信タイミング）をRAKEフィンガー部400へ出力させる（ステップS106）。

【 0 0 4 1 】

以上の動作における最大値検索について、図 5 に示すフローを用いて説明する。

【 0 0 4 2 】

第 1 の最大値検索部 6 1 2 は、変数 Max にメモリブロックの 0 番地の値（以下「D[0]」の様に記述する。）を代入する（ステップ S 2 0 1）。第 1 の最大値検索部 6 1 2 は、カウンタ（図示せず）のカウント値 j を 1 にセットする（ステップ S 2 0 2）。メモリブロックの j 番地の値 D[j] が変数 Max の値よりも大きい場合は（ステップ S 2 0 3 の Yes）、第 1 の最大値検索部 6 1 2 は、変数 Max に D[j] の値を代入する（ステップ S 2 0 4）。引続いて、第 1 の最大値検索部 6 1 2 は、カウンタのカウント値 j を (j + 1) にカウントアップする（ステップ S 2 0 5）。カウンタのカウント値 j が検索データ数以上になるまで、第 1 の最大値検索部 6 1 2 は、上記動作を繰り返す（ステップ S 2 0 6）。最終的に変数 Max に最大値が得られる（ステップ S 2 0 7）。最大ポイントのアドレス（上記 j）を得る必要がある場合は、ステップ S 2 0 4 で、同時にその際のアドレス j を最大位置として保持する変数へ代入すれば良い。

【 0 0 4 3 】

この様な処理を行った場合、ピーク検出処理の処理時間は主に、ステップ S 2 0 3 からステップ 2 0 5 までの処理、つまりデータをメモリから読み出し、保持している値と比較し、最大値を更新するという処理のループ回数に依存する。

【 0 0 4 4 】

第 1 ピークを探す際の前記ループ回数は、全遅延プロファイルデータサンプル数を K、分割するブロック数を N とした場合、 $(K/N) * N + N$ となる。ここで、第 1 項の (K/N) は 1 ブロックの最大値検索に要するループ回数であり、第 2 項の N は各ブロックのピークから全ピークを検索する際のループ回数である。

【 0 0 4 5 】

次に、図 6 および図 7 を参照して、第 2 位以降のピーク検出の処理手順について詳細に説明する。図 6 は遅延プロファイルデータから処理イメージを示す図で

ある。図 7 は第 2 位以降のピーク検出の処理手順を示すフローチャートである。

【0046】

制御部 6 2 2 は、検出ピーク数をカウントする検出ピーク数カウンタ（図示せず）のカウント値 i を 1 にセットする（ステップ S 3 0 1）。制御部 6 2 2 は、検出済ピークマスク部 6 2 0 に対し、この前の処理で既に検出されている相関ピークデータを遅延プロファイルメモリ 6 0 8 から除外するよう制御する（ステップ S 3 0 2）。この際、相関ピークは、図 6（A）に示す様に広がりもつため、受信データのサンプリング間隔に応じて、ピーク点から前後 t サンプルのデータを 0 クリアする。ピークデータを除外したメモリブロックに対して、制御部 6 2 2 は、第 1 の最大値検索部 6 1 2 に対して、図 5 のフローの様な最大値検索を再実行させ、ピーク保存部 6 1 4 における当該データブロックの最大値情報を更新させる（ステップ S 3 0 3）。

【0047】

前述した様に、相関ピークは前後 t サンプル程度に広がりを持つため、ステップ S 3 0 3 で再検出したメモリブロックの隣りのブロックのデータも 0 クリアされている可能性がある。このため、前回検出したピーク位置がメモリブロック中心点より右側の場合（ステップ S 3 0 4 の Y e s）、制御部 6 2 2 は、第 1 の最大値検索部 6 1 2 に対し、ステップ S 3 0 3 で最大値を更新した右隣りのメモリブロックについても同様に最大値検索を再実行させ、ピーク保存部 6 1 4 の当該データブロックの最大値情報を更新させる（ステップ S 3 0 5）。一方、前回検出したピーク位置がメモリブロック中心点より左側の場合（ステップ S 3 0 4 の N o）、制御部 6 2 2 は、第 1 の最大値検索部 6 1 2 に対し、ステップ S 3 0 3 で最大値を更新した左隣りのメモリブロックについて、最大値検索を再実行させ、ピーク保存部 6 1 4 の当該データブロックの最大値情報を更新させる（ステップ S 3 0 6）。なお、右隣り、又は左隣りにデータブロックが無い場合には上記処理は実行しなくて良い。

【0048】

以上の処理により、ピーク保存部 6 1 4 に保存されている各メモリブロック毎の最大ピーク情報が更新されるため、第 2 の最大値検索部 6 1 6 は、ピーク保存

部 6 1 4 に保存されているブロック数分のピーク情報の中から最大値を検索し（ステップ S 3 0 7）、パスタイミング生成部 6 1 8 は、第 i 番目のピークの位置（受信タイミング）を i 番目のフィンガーへ出力する（ステップ S 3 0 9）。引続いて、制御部 6 2 2 は、上記検出ピーク数カウンタのカウント値 i を $(i + 1)$ にカウントアップする（ステップ S 3 0 9）。以上の処理を必要なピーク数分（例えば、装置が有しているフィンガー数分）行うまで繰り返す（ステップ S 3 1 0）。以上の処理により、マルチパス検出回路 6 0 0 は、全フィンガーに対して受信タイミングを出力することが出来る。

【 0 0 4 9 】

よって、第 2 ピーク以降を探す際の前記ループ回数は、全遅延プロファイルデータサンプル数を K 、分割するブロック数を N とした場合、 $\{(K/N) * 2 + N\} * (I - 1)$ となる。ここで、 I は検出するピーク数、 $\{ \}$ 内第 1 項の (K/N) は 1 ブロックの最大値検索に要するループ回数であり、第 2 項の N は各ブロックのピークから全ピークを検索する際のループ回数である。

【 0 0 5 0 】

このように、本発明の第 1 の実施の形態によるマルチパス検出回路 6 0 0 では、ブロック毎のピーク情報を保存しておくことにより、第 2 ピーク以降の検索に必要な処理ステップ（前記比較部を通るループ回数）を削減出来る。このため、マルチパス検索時間を短縮することが出来、消費電流を減らすことが出来る。

【 0 0 5 1 】

図 8 に、具体的な処理時間の改善度を示す。比較対照として、図 5 のフローにおける最大値検索を I 回繰り返す従来例を用いた場合、前記ループ回数は、 $K * I$ である。ここで、 K は遅延プロファイルデータの全サンプル数、 I は検出ピーク数である。

【 0 0 5 2 】

一方、本発明のフローを用いた場合、ループ回数は前述したように、分割するブロック数を N とすると、 $\{(K/N) * N + N\} + \{(K/N) * 2 + N\} * (I - 1)$ である。

【 0 0 5 3 】

図 8 で示している例は、遅延プロファイルデータサンプル数 K が 1 0 2 4 サンプル、メモリブロック分割数が 3 2 の場合を示している。従来例、本第 1 の実施の形態共に、検出ピーク数が増えていくに従い所要ループ回数は増加していくが、本第 1 の実施の形態では、その増加分の方が大幅に少ないことがわかる。一般的に広帯域 CDMA 方式の場合、6 本程度のフィンガーを使用するため、検出するピーク数は 6 以上必要である。検出数 $I = 6$ の場合では従来例に比べて前記ループ回数が約 $1/4$ となるため、処理時間も $1/4$ 程度に削減することが出来る。

【 0 0 5 4 】

なお、本第 1 の実施の形態の効果を最大にするためには、遅延プロファイルデータサンプル数 K とメモリブロック分割数 N の関係を適切に設定する必要がある。図 9 に示す様に、 $K = 1 0 2 4$ の場合、 $K/N = N$ 程度となる分割数 3 2 を選択した場合が最も改善効果が大きくなる。

【 0 0 5 5 】

図 1 0 を参照すると、本発明の第 2 の実施の形態によるマルチパス検出回路 6 0 0 A は、しきい値判定部 6 2 4 が追加されると共に制御部における動作が異なる点を除いて、図 1 に示したものと同様の構成を有する。したがって、制御部に 6 2 2 A の参照符号を付してある。

【 0 0 5 6 】

すなわち、本発明の第 2 の実施の形態によるマルチパス検出回路 6 0 0 A は、その基本的構成は上記した第 1 の実施の形態によるマルチパス検出回路 6 0 0 の通りであるが、しきい値判定部 6 2 4 を加えることによって、更に無駄な検出時間を削減している。しきい値判定部 6 2 4 は、第 2 の最大値検索部 6 1 6 とパスタイミング生成部 6 1 8 との間に挿入されている。

【 0 0 5 7 】

本構成において、ピーク検出毎に、しきい値判定部 6 2 4 は予め設定された基準相関値レベルとの比較を行い、このレベルに満たないピークが検出された時点で、ピーク検出処理停止信号を制御部 6 2 2 A に送り、検出処理を停止することができる。よって、マルチパスが 1 つしか存在しない様な場合には、1 ピークを

検出した時点で２ピーク目以降の処理を停止できるため、無駄な回路動作を削減し、消費電流を削減することが出来る。

【 0 0 5 8 】

尚、本発明は、上述した実施の形態に限定されず、本発明の要旨を逸脱しない範囲内で種々の変更が可能なのはいうまでもない。たとえば、本発明のさらに他の実施の形態として、その基本的構成は上記の通りであるが、マルチパスの検出時のみならず、基地局サーチ時に相関ピークを検出する必要があり、この場合にも上記フローにより判定することが出来る。

【 0 0 5 9 】

【発明の効果】

以上説明したように、本発明では、遅延プロファイルデータを複数のメモリブロックに分割して記憶し、データブロック毎のピーク情報を保持することにより、複数の相関ピークの検出時間を改善することができるという効果を奏する。また、第２位以降のピーク検出時、検出済みピークを含んでいたメモリブロックのみの最大値検索を再実行することにより、パス検出時間を改善することができるという効果をも奏する。

【図面の簡単な説明】

【図 1】

本発明の第１の実施の形態によるＣＤＭＡ受信機のマルチパス検出回路の構成を示すブロック図である。

【図 2】

図１に示したマルチパス検出回路を使用したＣＤＭＡ受信機の構成を示すブロック図である。

【図 3】

図１の遅延プロファイルメモリに保存される遅延プロファイルデータから第１位のピークを検索する処理のイメージ例を示す図である。

【図 4】

図１に示したマルチパス検出回路が第１位のピークを検出する処理手順を示すフローチャートである。

【図 5】

図 4 に示したフローチャートの動作における最大値検索の動作を説明するためのフローチャートである。

【図 6】

図 1 に示したマルチパス検出回路が第 2 位以降のピーク検出を行う場合の遅延プロファイルデータからの処理イメージを示す図である。

【図 7】

図 1 に示したマルチパス検出回路が第 2 位以降のピーク検出の処理手順を示すフローチャートである。

【図 8】

図 1 に示したマルチパス検出回路を使用した場合の、従来例と比較した具体的な処理時間の改善度を示す図である。

【図 9】

遅延プロファイルデータサンプル数 K が 1 0 2 4 で検索数 I が 6 の場合の、メモリブロック分割数 N と所要ループ回数との関係を示す図である。

【図 1 0】

本発明の第 2 の実施の形態による C D M A 受信機のマルチパス検出回路の構成を示すブロック図である。

【符号の説明】

6 0 0, 6 0 0 A	マルチパス検出回路
6 0 2	マッチトフィルタ
6 0 4	入力データ選択回路
6 0 6	第 1 のメモリ選択部
6 0 8	遅延プロファイルメモリ
6 1 0	第 2 のメモリ選択部
6 1 2	第 1 の最大値検索部
6 1 4	ピーク保存部
6 1 6	第 2 の最大値検索部
6 1 8	パスタイミング生成部

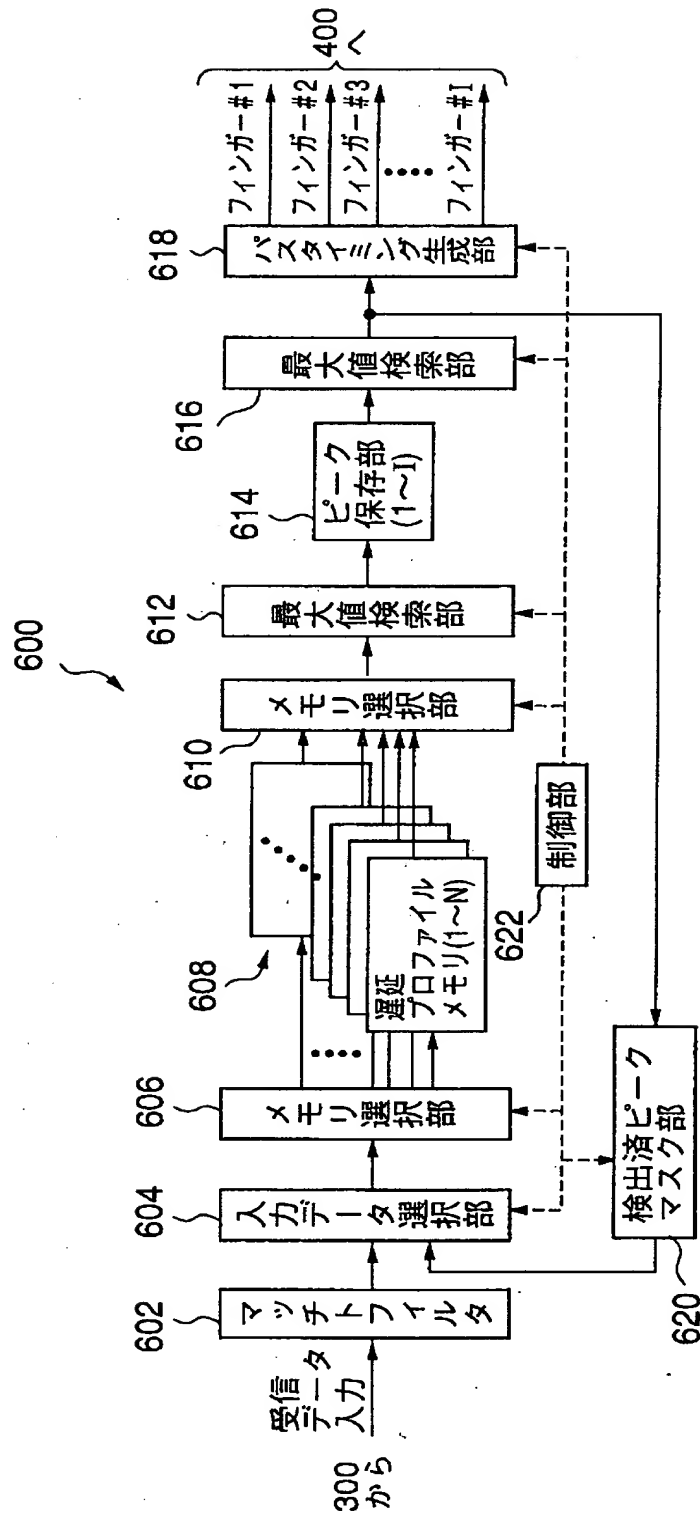
6 2 0 検出済ピークマスク部

6 2 2, 6 2 2 A 制御部

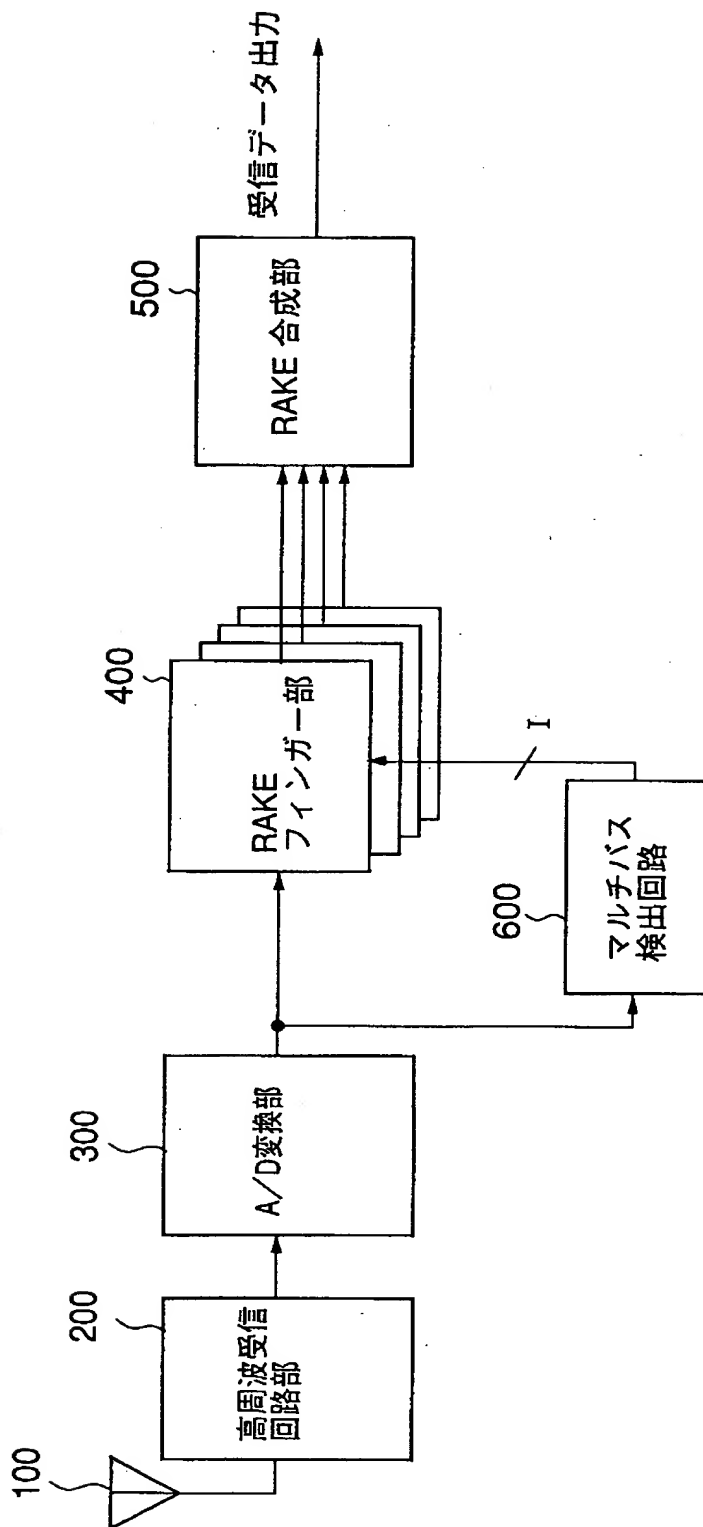
6 2 4 しきい値判定部

【書類名】 図面

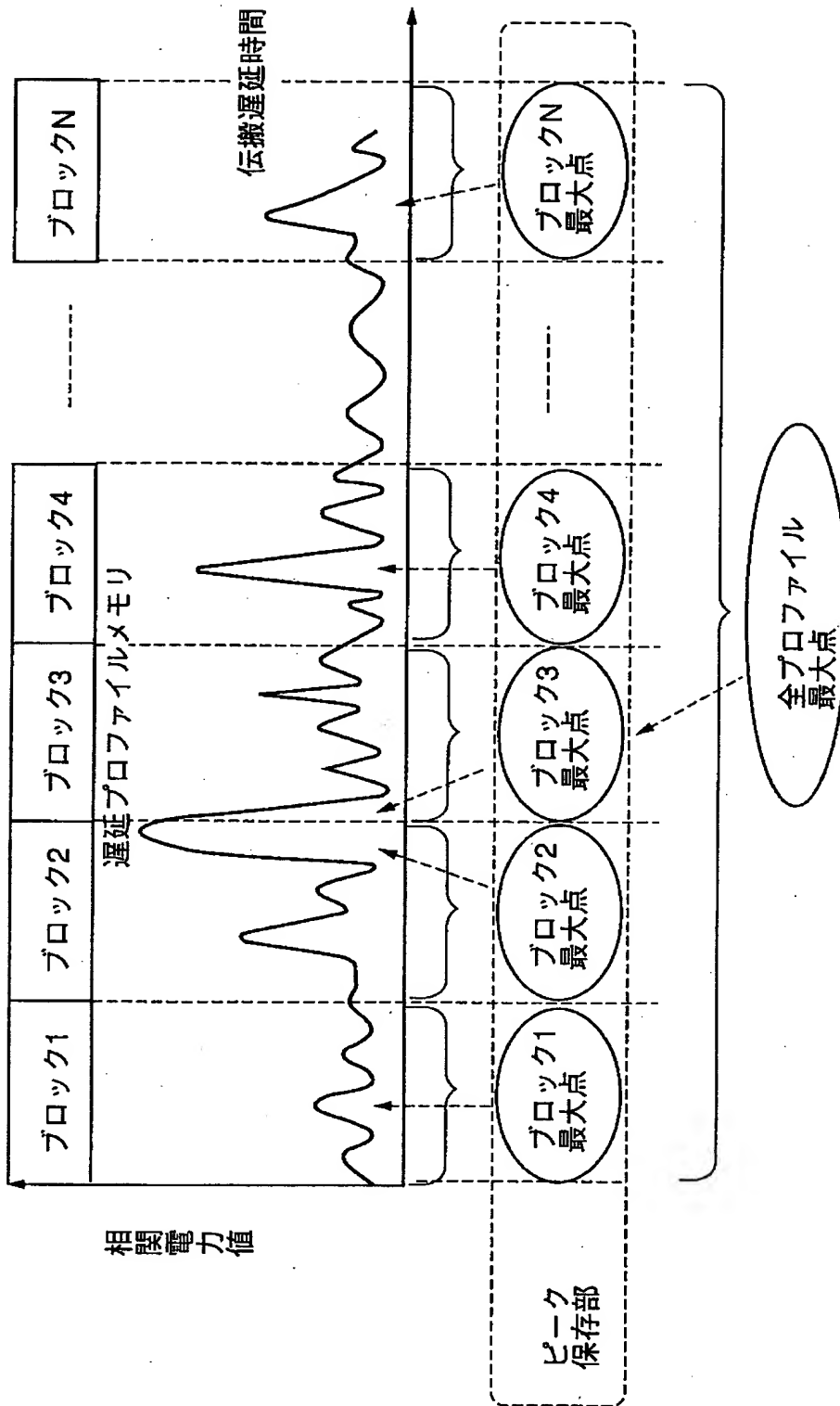
【図 1】



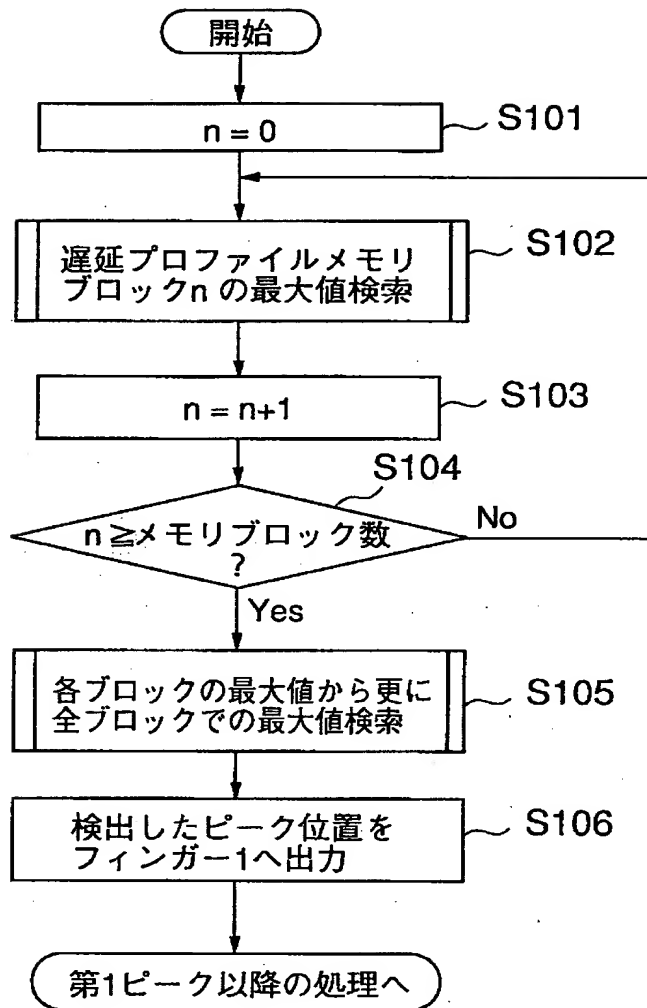
【図 2】



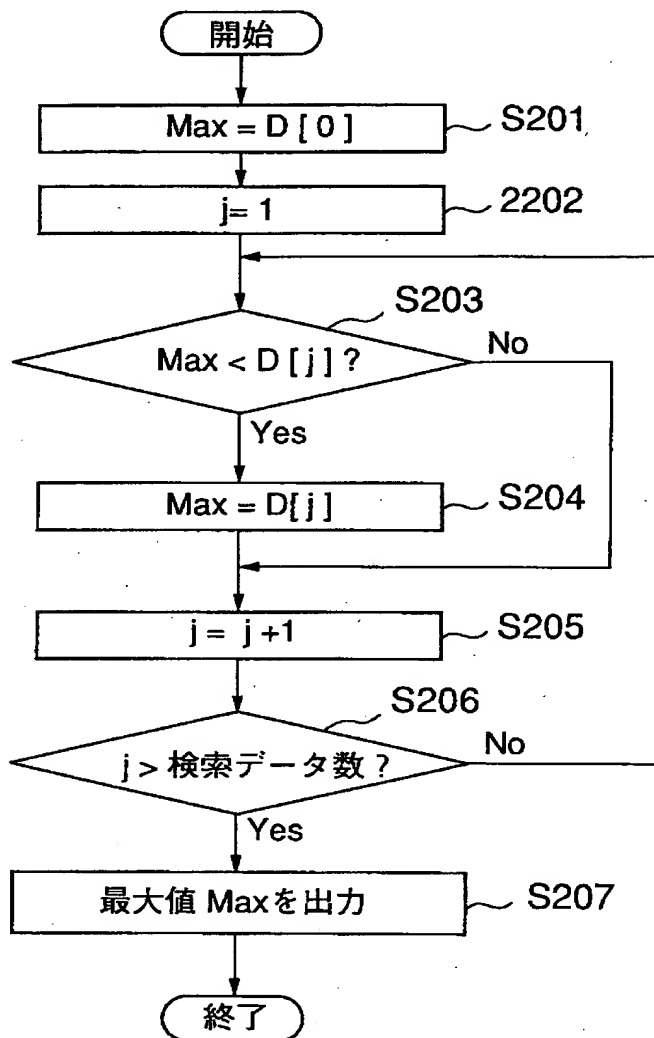
【図3】



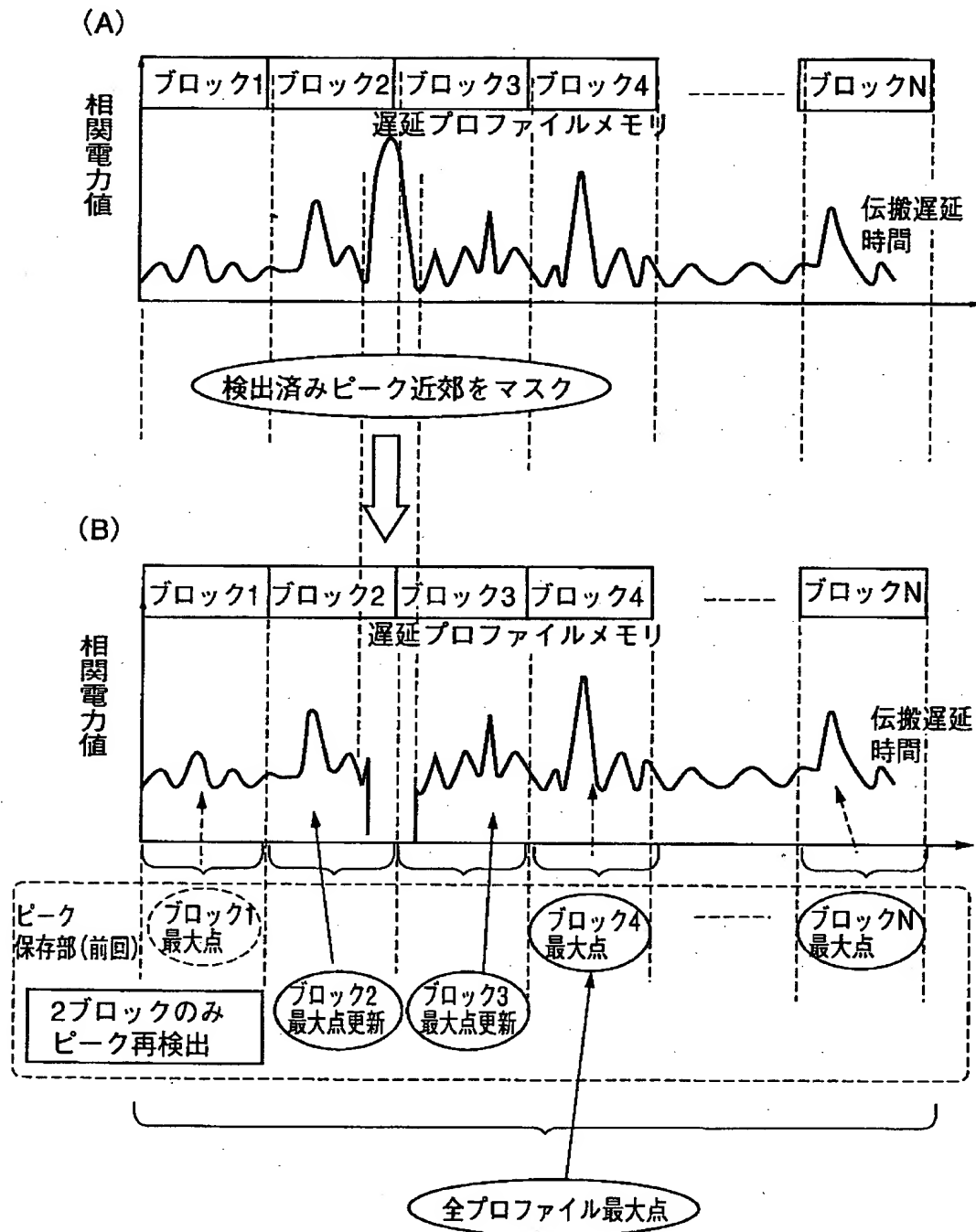
【図 4】



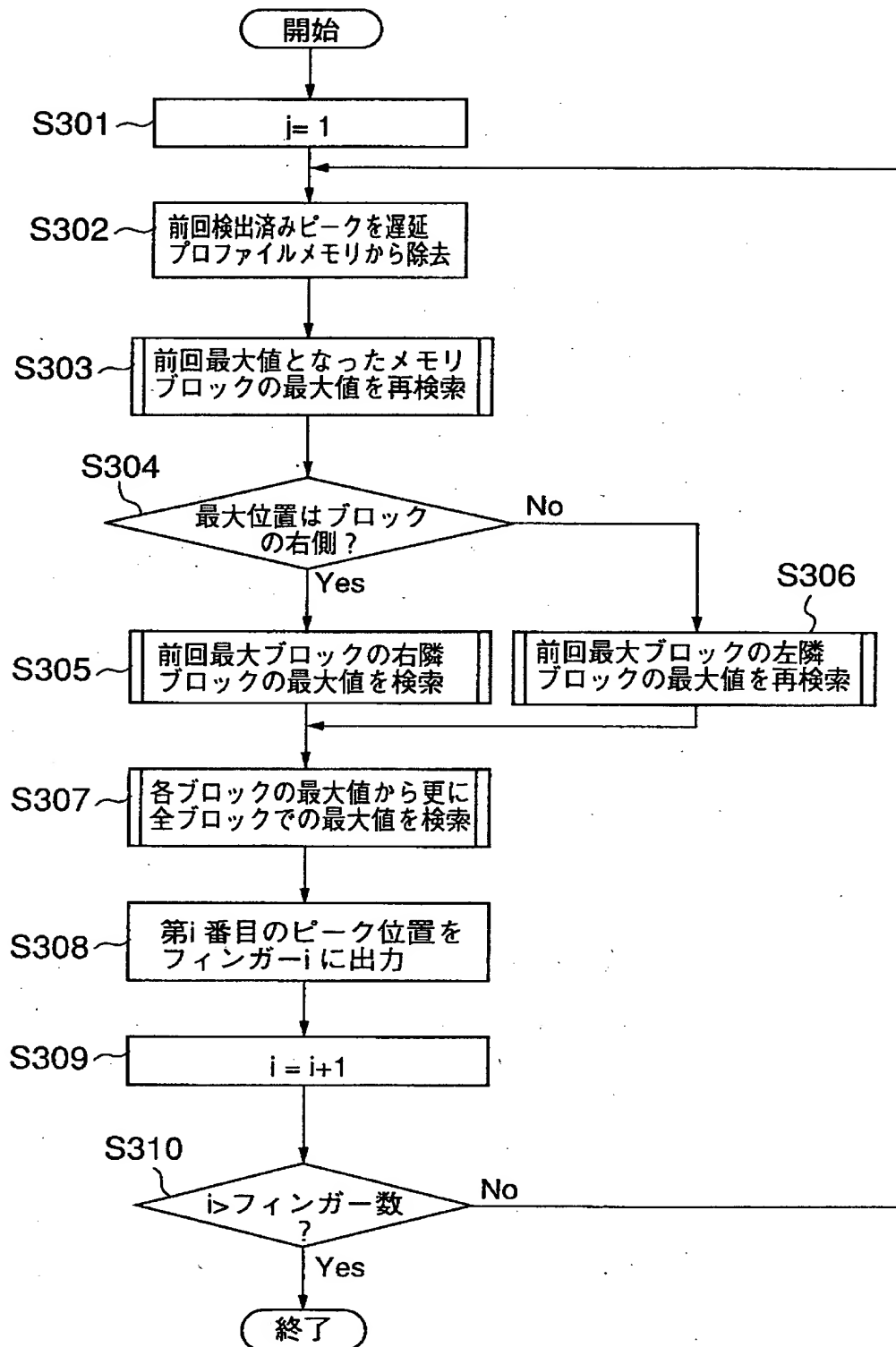
【図 5】



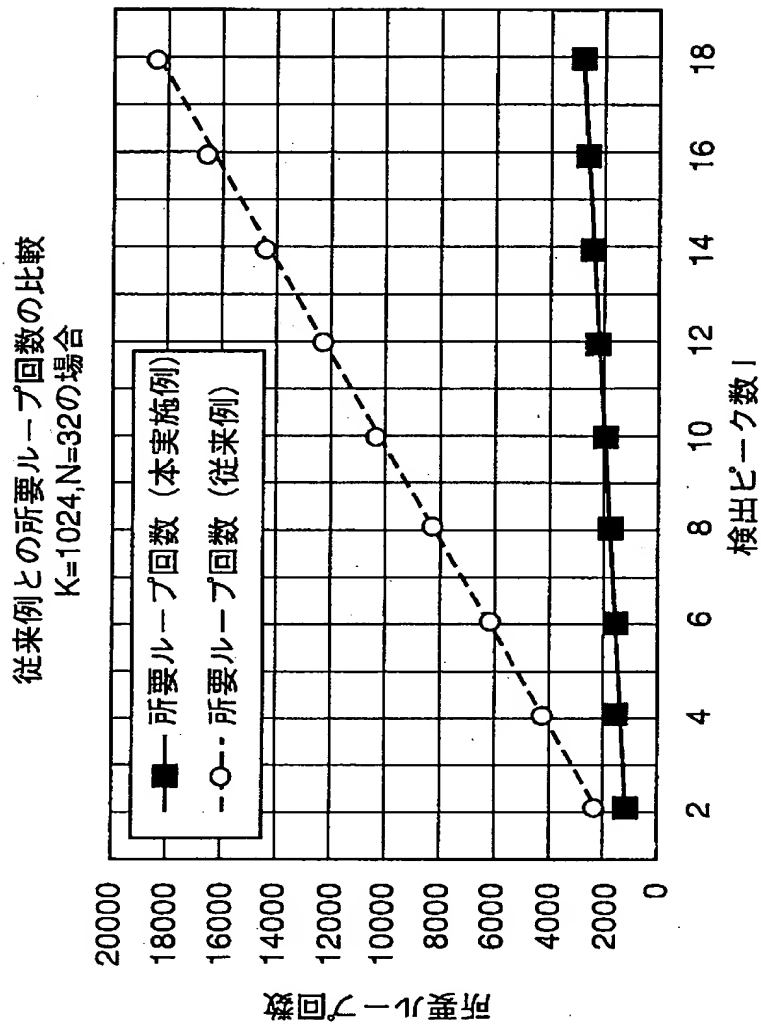
【図 6】



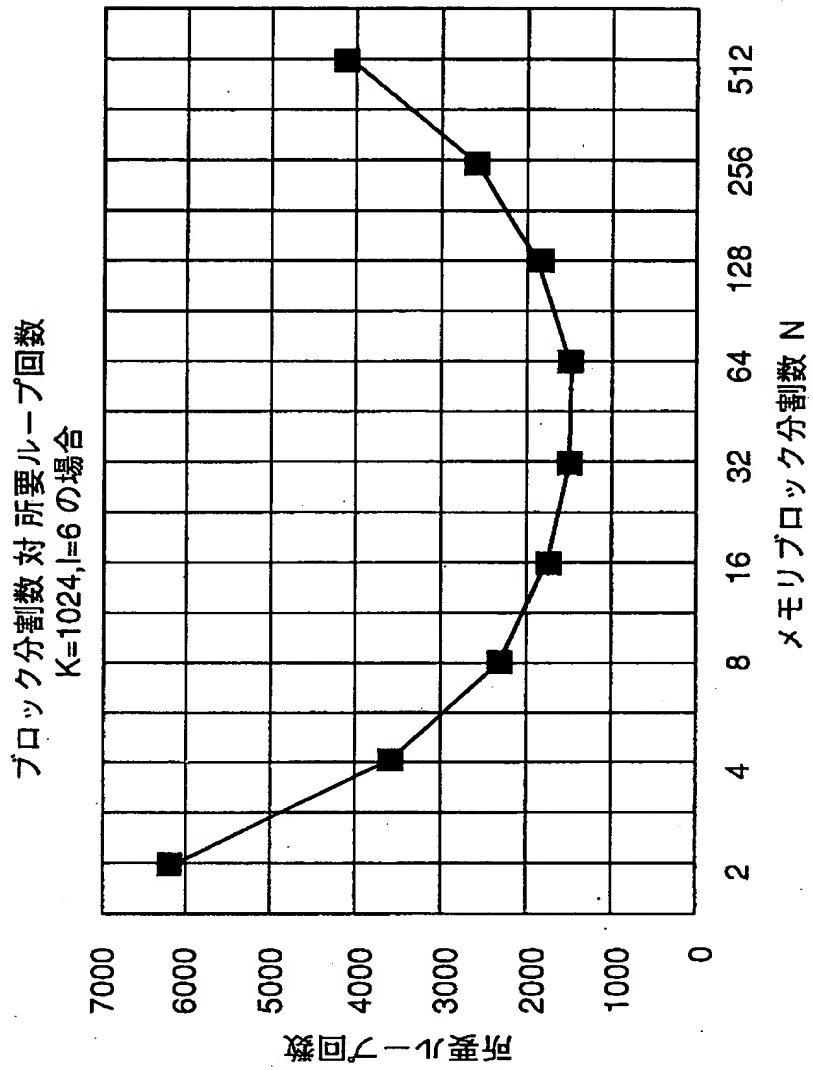
【図 7】



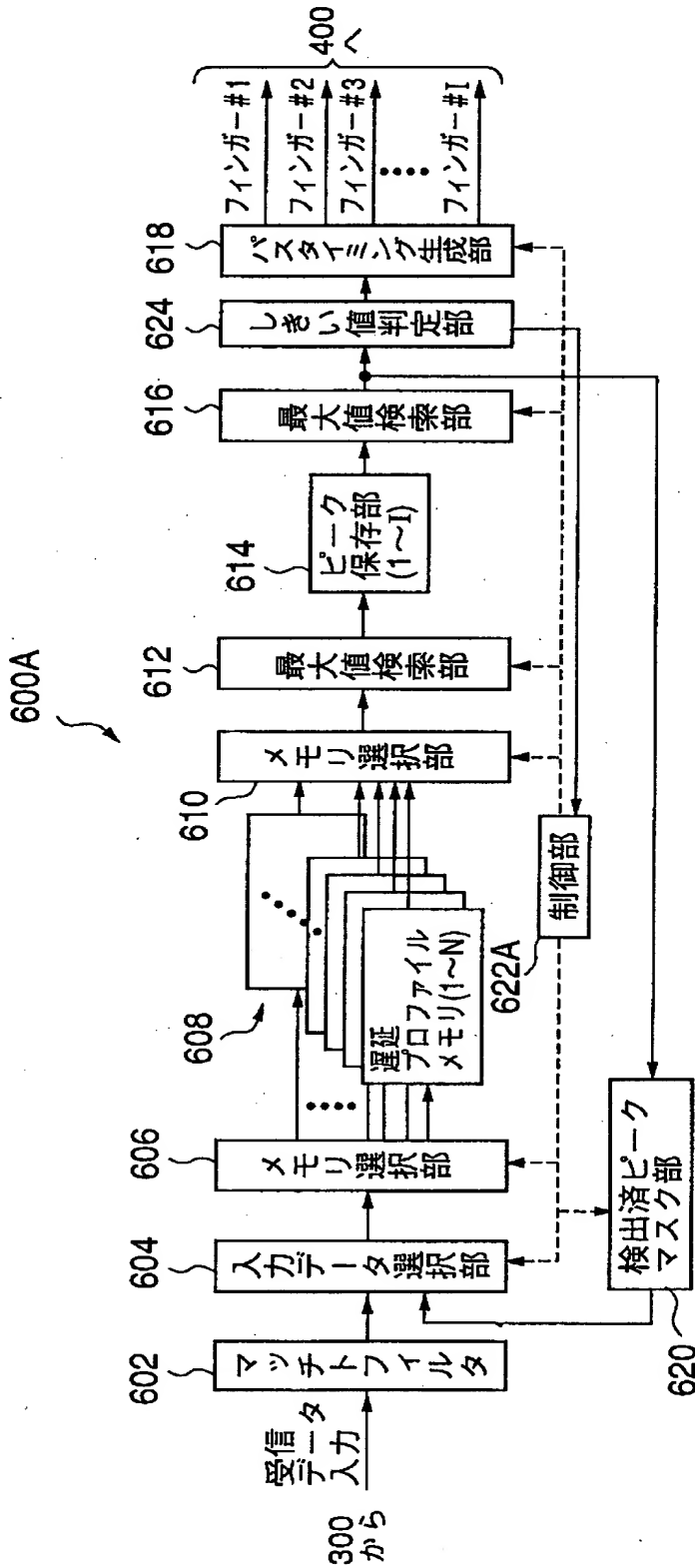
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 マルチパス検出を高速に処理できるようにすること。

【解決手段】 第1のピークを検出する際には遅延プロファイルデータの全データブロックの最大値検索を実行する。第2位以降のピークを検出する際には、遅延プロファイルデータが更新されたデータブロックのみ最大値検索を再度行い、メモリブロック内の最大値情報を更新する。それ以外のデータブロック（メモリブロック）は一回目で検索した最大値情報を使用するため、第2位以降のピーク検出サイクル数は大幅に削減することが出来る。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社